

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-187304

(43)公開日 平成6年(1994)7月8日

(51)Int.Cl.⁵

G 0 6 F 15/16
13/38
15/66

識別記号 庁内整理番号

3 3 0 Z 8840-5L
3 4 0 A 9072-5B
K 8420-5L

F I

技術表示箇所

審査請求 未請求 請求項の数3(全12頁)

(21)出願番号

特願平4-335824

(22)出願日

平成4年(1992)12月16日

(71)出願人 000222118

東洋インキ製造株式会社

東京都中央区京橋2丁目3番13号

(71)出願人 592214988

有限会社ジー・ティーピー

兵庫県神戸市中央区東川崎町一丁目八番四号

(72)発明者 松木 宏

大阪府守口市小春町15番地1 有限会社ジ
ー・ティーピー内

(72)発明者 菅原 祐治

東京都中央区京橋二丁目3番13号 東洋イ
ンキ製造株式会社内

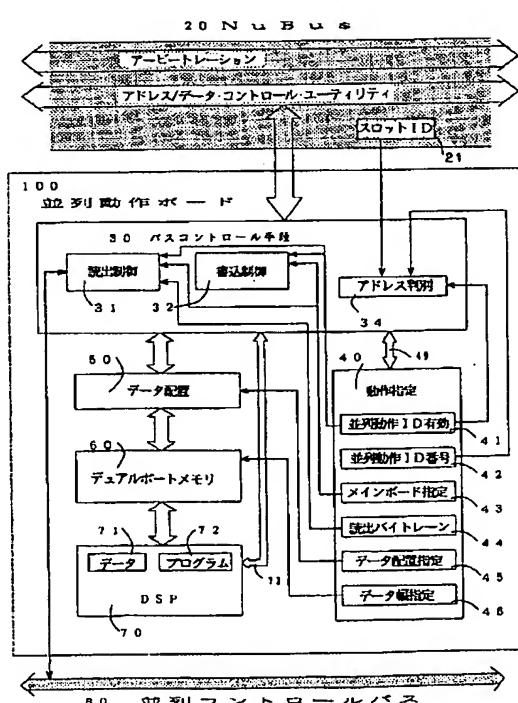
(74)代理人 弁理士 青山 葵 (外1名)

(54)【発明の名称】並列動作ボード

(57)【要約】

【目的】拡張バスに装着した複数枚ボード間で並列動作をさせる。

【構成】拡張バスに装着した他のボードと並列動作を可能にするボードであって、ボードの一つを、バスとの信号のやり取りを担わせるメインボードとするメインボード指定手段(43)と、メインボード以外のすべてのボードにおける固有のアドレス範囲を、メインボードのアドレス範囲に一致させるアドレス範囲変更手段(41, 42)と、メインボードを含む各ボードでバスに対してデータの入出力を司るデータ入出力手段(30)とを備え、すべてのボードのアドレス範囲をメインボードのアドレス範囲に一致させた状態でホストCPUより、該アドレス範囲にデータを送出することにより、全部のボードに同時に取り込ませる。



【特許請求の範囲】

【請求項1】 拡張バスに装着した他のボードと並列動作を可能にするボードであって、すべてのボードの中から一つのボードを、バスとの信号のやり取りを担わせるメインボードとするメインボード指定手段(43)と、メインボード以外のすべてのボードにおける固有のアドレス範囲を、メインボードのアドレス範囲に一致させるアドレス範囲変更手段(41, 42)と、メインボードを含む各ボードでバスに対してデータの入出力を司るデータ入出力手段(30)と、すべてのボードのアドレス範囲をメインボードのアドレス範囲に一致させた状態でホストCPUより、該アドレス範囲にデータを送出することにより、全部のボードに同時に導かれた1群のデータの中から、各ボード毎に所定のデータを取り込むために設けられたデータ分配手段(45, 46, 50)と、各ボードで振り分けられ、該ボードで処理された各データを、一つのバスに重複して出力しないよう、各ボード毎に読み出しバイトレーンを設定する読み出しバイトレーン指定手段(44)と、各ボードより、前記処理済みのデータを1群のデータとして読み出せるよう、各ボード間で読み出しを同期させる同期化手段(31, 80)と、を備えたことを特徴とする並列動作ボード。

【請求項2】 各ボードにおける固有のアドレス範囲における任意の複数ビットは、当該ボードの装着位置に対応して割り当てられたスロットID番号である請求項1記載の並列動作ボード。

【請求項3】 各ボードにおける固有のアドレス範囲における任意の複数ビットは、当該ボードに設けられたディップスイッチにより設定されたスロットID番号である請求項1記載の並列動作ボード。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、コンピュータ装置の外部拡張バスに装着して用いるボードに関し、特に拡張バ

第1列	第2列	第3列 … 第n列
第1行：R ₁₁ , G ₁₁ , B ₁₁	R ₁₂ , G ₁₂ , B ₁₂	R ₁₃ , G ₁₃ , B ₁₃ …R _{1n} , G _{1n} , B _{1n}
第2行：R ₂₁ , G ₂₁ , B ₂₁	R ₂₂ , G ₂₂ , B ₂₂	R ₂₃ , G ₂₃ , B ₂₃ …R _{2n} , G _{2n} , B _{2n}
第3行：R ₃₁ , G ₃₁ , B ₃₁	R ₃₂ , G ₃₂ , B ₃₂	R ₃₃ , G ₃₃ , B ₃₃ …R _{3n} , G _{3n} , B _{3n}
:		
第m行：R _{m1} , G _{m1} , B _{m1}	R _{m2} , G _{m2} , B _{m2}	R _{m3} , G _{m3} , B _{m3} …R _{mn} , G _{mn} , B _{mn}

【0006】ステップ1：ホストCPU内のメモリからすべてのR要素(R₁₁, R₁₂, … R_{mn})を読み出し、選択したアドレスA_x～A_{2x-1}を介して第1ボード内のメモリに書き込み、その書き込みが終了すると、ホストCPUからの指示により、第1ボード内のCPUにて所望の画像処理(拡大・縮小)を開始させる。
ステップ2：アドレスA_{2x}～A_{3x-1}を選択し、同様に、

スに装着した他の複数枚のボードと並列動作を可能にしたボードに関する。

【0002】

【従来の技術】多くのコンピュータシステムには、機能拡張を行うために拡張ボードを装着する為の拡張バスが用意されている。例えばアップル社のMacintoshではNuBus、IBM社のPC/AT機のISAバス等である。これらのバスに装着されたボードはそのボードを通じてホストコンピュータのCPUとデータのやり取りを行う。又、パソコン用コンピュータ等においてCPU等が装着されているメインボード内にもプライベートなバスがあり、これを介してCPUとメモリや入出力部との間で信号やデータのやり取りがなされる。かかるコンピュータシステムの処理能力を向上させるために、それらのバス、特に拡張バス上に演算ボード等の複数枚の拡張ボードを装着し、各ボードで処理を分散させる分散処理等の手法が用いられることがある。

【0003】又、より高速な処理を望む場合には、図1に示すように、拡張バスに複数枚のボードを装着し、それらのボードを並列動作させる並列処理、図2に示すように、一連の処理を複数の処理単位に分割し、縦列的に接続した各ボードにおいて、一つの処理単位を処理させるようにしたパイプライン処理、更には図3に示すように、同一のボード内に複数のCPUを配したマルチプロセッサ構成とした処理がある。

【0004】ここで、1画素が3色の要素(R, G, B)で構成される画像データを、図1に示した3枚の各ボードで色要素別に処理する場合の従来の並列動作を述べる。第1ボード、第2ボードおよび第3ボードの拡張ボード上におけるアドレス範囲をA_x～A_{2x-1}, A_{2x}～A_{3x-1}, A_{3x}～A_{4x-1}とし(このアドレス範囲の設定は各ボードにあるディップスイッチにより行える)、ホストCPU内のメモリには、下表に示すm行×n列からなる画像データが格納されているとする。

【0005】

【表1】

第1列	第2列	第3列 … 第n列
第1行：R ₁₁ , G ₁₁ , B ₁₁	R ₁₂ , G ₁₂ , B ₁₂	R ₁₃ , G ₁₃ , B ₁₃ …R _{1n} , G _{1n} , B _{1n}
第2行：R ₂₁ , G ₂₁ , B ₂₁	R ₂₂ , G ₂₂ , B ₂₂	R ₂₃ , G ₂₃ , B ₂₃ …R _{2n} , G _{2n} , B _{2n}
第3行：R ₃₁ , G ₃₁ , B ₃₁	R ₃₂ , G ₃₂ , B ₃₂	R ₃₃ , G ₃₃ , B ₃₃ …R _{3n} , G _{3n} , B _{3n}
:		
第m行：R _{m1} , G _{m1} , B _{m1}	R _{m2} , G _{m2} , B _{m2}	R _{m3} , G _{m3} , B _{m3} …R _{mn} , G _{mn} , B _{mn}

該アドレスを介してG要素すべてを第2ボード内のメモリに書き込み、第2ボード内のCPUにて所望の画像処理を開始させる。
ステップ3：アドレスA_{3x}～A_{4x-1}を選択し、同様に、該アドレスを介してB要素すべてを第3ボード内のメモリに書き込み、第3ボード内のCPUにて所望の画像処理を開始させる。

ステップ4：ホストCPUは第1ボードでの処理終了を監視し、処理が終了した時点で処理したR要素を同アドレスを介してホストCPU内の同一のメモリまたは別のメモリへ書き込む。

ステップ5：ステップ4における処理済みのR要素のメモリへの書き込みが終了すれば、CPUは第2ボードでの処理終了を監視し、処理が終了した時点で処理したB要素を同アドレスを介してホストCPU内のメモリに書き込む。

ステップ6：ステップ5における処理済みのG要素のメモリへの書き込みが終了すれば、CPUは第3ボードでの処理終了を監視し、処理が終了した時点で処理したG要素を同アドレスを介してホストCPU内のメモリに書き込む。

【0007】

【発明が解決しようとする課題】上記の並列処理では、ホストCPUがデータの入出力をボード毎に行い、かつ、各ボードでのデータ処理終了を監視しなくてはならないため、ホストCPUの負担が大きく、また、待ち時間があるためにシステム全体の処理速度が低下する。

【0008】一方、パイプライン処理においては、各ボードで受け持つ処理単位が均一な処理時間の場合は1処理単位の処理時間毎に効率良く1ラインが処理されるが、各処理単位の処理時間が不均一の場合には、最大の処理時間に合わせてパイプライン処理を行わなければならず、それよりも処理時間の短い処理単位に対してはボードでの動作に空き時間が生じ、システム全体での処理効率が低下する。また、このようなパイプライン処理は、CPUのLSI内部等の様に1つのデータに対して一連の様々な処理を行うような場合には有効であるが、本発明が処理対象としているような画像処理のごとく、単純な繰り返しの多いデータ処理には適していない。その理由は、一連の処理を単位処理に分割するのが難しいこと、ボードで処理したデータを後段のボードへ転送するためのローカルなバスが必要となることに起因する。

【0009】また、マルチプロセッサ構成による処理においては、同一データを複数のCPUに対して同時に渡すことができるので図1の場合のようにアドレス切り替えの必要がなくなり、データ設定が短時間で行えるものの、各CPUでの処理結果をホストCPUが取り込む際には、図1の場合と同様に個別に行わなくてはならず、データ取り出しに時間がかかる。また、この方式は、ボード内の複数個のCPUに対して識別用のIDを特別に規定したものであり、従って標準バスのように、仕様が予め確定されたものには適用不可能である。本発明は、上述した課題を解決するためになされたものであり、複数枚のボードを並列動作させることで高速処理を達成した並列動作ボードを提供することを目的とする。

【0010】

【課題を解決するための手段】本発明の並列動作ボード

は、拡張バスに装着した他のボードと並列動作を可能にするボードであって、すべてのボードの中から一つのボードを、バスとの信号のやり取りを担わせるメインボードとするメインボード指定手段(43)と、メインボード以外のすべてのボードにおける固有のアドレス範囲を、メインボードのアドレス範囲に一致させるアドレス範囲変更手段(41, 42)と、メインボードを含む各ボードでバスに対してデータの入出力を司るデータ入出力手段(30)と、すべてのボードのアドレス範囲をメインボードのアドレス範囲に一致させた状態でホストCPUより、該アドレス範囲にデータを送出することにより、全部のボードに同時に導かれた1群のデータの中から、各ボード毎に所定のデータを取り込むために設けられたデータ分配手段(45, 46, 50)と、各ボードで振り分けられ、該ボードで処理された各データを、一つのバスに重複して出力しないよう、各ボード毎に読み出しバイトレーンを設定する読み出しバイトレーン指定手段(44)と、各ボードより、前記処理済みのデータを1群のデータとして読み出せるよう、各ボード間で読み出しを同期させる同期化手段(31, 80)と、を備えたことを特徴とする。

【0011】

【作用】本発明においては、初期状態等では、各ボードはそれぞれ固有のアドレス領域を持っており、従って、各ボードは個別に動作する単独動作モードにある。この単独動作モード時にあっては、ホストCPUより、前記のそれぞれの固有のアドレスを選択しながら種々のデータを出力することにより、各ボードに対して、並列動作時に必要となる各種制御データを設定することができる。即ち、単独動作モード時に、メインボード指定手段により、ボードの一つをメインボードに指定し、そしてアドレス範囲変更手段によって、残りのボードのアドレス領域を、メインボード固有のアドレス領域に一致させると、ホストCPU側から見れば、拡張バスに单一のボードが装着されたのと等価となり、本発明の並列動作モードとなる。

【0012】この並列動作モード時には、ホストCPUより出力する処理対象のデータ(例えば画像データ)の書き込みアドレスを、メインボード固有のアドレス領域内とすることにより、1画素の画像データがすべてのボードに取り込まれる。この後、各ボードにおいては、データ分配手段の制御動作により、取り込んだ1画素の中から特定の色要素を抽出することで、各ボード毎に異なる色要素を拡大・縮小のデータ処理を並行して行うことができる。

【0013】各ボードで個別に行った各処理済みの色要素を、バイトレーン指定手段によって所定のデータバスに読み出し、かつ、その読み出しの際に、同期化手段によって各ボード間で同期をとることにより、一画素を構成する色要素が同時にデータバスに読み出すことができる。

る。ところで、ホストCPUからのデータ読み出しあり、各ボードでの処理済みデータの読み出しの際に、各ボードがデータレディ信号やデータアクノレッジ信号を個別に出力したのでは制御が混乱が生じるため、本発明ではメインボードなるものを設け、このメインボードにこれらの制御を総括的に担わせているのである。

【0014】各ボードにおける固有のアドレス範囲における任意の複数ビット(以下の実施例では上位2桁としている)は、拡張バスが本発明で用いたNuBusであれば、当該ボードの装着位置に対応して割り当てられたスロットID番号となり、又、拡張ボードが一般的なものであれば、各ボードにおける固有のアドレス範囲の上位2桁は、当該ボードに設けられたディップスイッチにより設定されたスロットID番号である。

【0015】尚、ここではメインボードのアドレス領域を、該メインボード固有のアドレス領域としたが、並列動作モード時に、メインボードおよびそれ以外の各ボードが持つ固有のアドレス領域とは別のアドレス領域を新たに設定してもよい。(200)尚、ホストCPUからのデータ読み出しあり、各ボードでの処理済みデータの読み出しの際に、各ボードがデータレディ信号やデータアクノレッジ信号を個別に出力したのでは制御が混乱が生じるため、本発明ではメインボードなるものを設け、このメインボードにこれらの制御を総括的に担わせているのである。

【0016】

【実施例】図4は、本発明の1実施例を示した全体のシステム図である。本実施例では、コンピュータシステムとしてアップル社の“MacintoshIIfx”(以下では“Mac”と呼ぶ)を採用した。このMac10では、システム内に拡張バスとしてNuBus、IEEE1196 NuBusをMacintosh用に変更したMacintoshII NuBus(以下これをNuBus20と呼ぶ)を持っており、このNuBus20は、10MHzのクロックで動作するマルチプレックス・バス(同じバスラインでアドレスとデータとの双方を転送する)である。そのNuBus20へ本発明に係わる4枚の並列動作ボード100(100-1, 100-2, 100-3, 100-4)を装着し並列動作を行わせている。これらの各並列動作ボード100は、内部にCPUとデータメモリとを持ち、このデータメモリは、Mac10内のCPU11(以下ホストCPUと呼ぶ)からも当該並列動作ボード100のCPUからも読み書きができるデュアルポートメモリである。

【0017】又、Mac10内部には、データメモリ12と、Mac10とNuBus20とを結合するためのインターフェイスとしてNuChip13とを備える。又、各並列動作ボード100は、NuBus20以外にも並列コントロールバス80により相互接続され、各並列動作ボード100を並列動作させる際の同期をとるために用いられる。尚、並列コントロールバスは、NuBus20における未使

用のバスラインを用いててもよい。

【0018】図5は、NuBus20のメモリマップを示している。このNuBus20ではアドレス可能なすべての資源が単一の4G(ギガ)バイト(アドレス00000000~FFFFFFFFFF)の空間に存在する。その4Gバイトのアドレス空間をそれぞれ256Mバイト領域の16個に分割し、その分割した最上位の領域(アドレスF0000000ないしFFFFFFFFFF)をスロット空間と呼び、その詳細を図6の左図に示している。このスロット空間は、スロット0HないしスロットFH(末尾のHは16進表記であることを示す)の各16Mバイトの16個に分割され、NuBus20に装着したボード位置に基づき、対応するスロットのアドレスが割り当てられるようになっている(このアドレス割り当てをジョグラフィック・アドレッシングと呼ぶ)。

【0019】図6の右図は、スロットCHへ装着したボードにおけるメモリマップを示しており、ROM領域以外にレジスターおよびデータメモリ領域がある。

【0020】図7は、本発明の並列動作ボード100の機能構成図である。NuBus20には、図示した様にアービトレーション、アドレス/データ、コントロール、ユーティリティ、スロットIDの各信号群のための専用の信号ラインがある。アービトレーションは自身のボードがマスターとしてNuBus20上の各資源を使うための信号源であるが本ボードでは使用しない。

【0021】バスコントロール手段30は、NuBus仕様に則り、NuBus20上のアドレス/データ、コントロール、ユーティリティの各信号群と、並列動作ボードの各資源とを結び付けてデータのやり取りを制御する。

【0022】このバスコントロール手段30において、アドレス判別手段34は、後記の動作指定手段40内の並列動作ID有効指定部41に対して並列動作が指定されていない場合は(通常の単独動作となる)、当該ボードの装着位置を示すスロットID番号発生部21より得られる自身のスロットID番号(例えばスロットCHに装着したボードであれば“FC”、これは当該ボードのアドレス範囲における上位1バイト(上位2桁)となる)を取り込み、一方、並列動作ID有効指定部41に対して本発明の並列動作が設定されている場合は、動作指定手段40内の並列動作ID番号指定部42に対しホストCPU11より送出された並列動作ID番号(並列動作時に設定されるものであり、詳しくは後で述べる)を取り込んでおり、このスロットID番号または並列動作ID番号と、ホストCPU11からNuBus20の任意の空間に對してアクセスが行われた時の書き込みアドレスの上位2桁(以下、これを単に書き込みアドレスと呼ぶ)とが一致した時は、自身のボードへのアクセスと判断する。尚、このアドレス判別手段34は、ホストCPU11からボードに対して出力された読み出しアドレスに対しても同じような制御をなす。

【0023】後の動作説明で詳しく述べるが、ホストC

P U 1 1よりの書き込みアドレス(読みだしアドレスの場合も同じ)に、自身のスロットI D番号が一致したボード1 0 0は単独動作として機能し、並列動作I D番号が一致したボード1 0 0は本発明の並列動作をなす。ホストC P U 1 1よりの書き込みアドレスに、スロットI D番号並びに並列動作I D番号が一致しないボード1 0 0は、自身のボードへのアクセスではないので、そのボードはなんら機能しない。

【0 0 2 4】 読出制御手段3 1および書込制御手段3 2は、ホストC P U 1 1からボードに対してデータ読み出しおよび書き込み要求があった場合にそれぞれの制御を担うものである。

【0 0 2 5】 動作指定手段4 0は、当該ボード1 0 0の動作および機能をホストC P U 1 1から指定するものであり、前述の並列動作を指定する並列動作I D有効指定部4 1と、並列動作I D番号を出力する並列動作I D番号指定部4 2と、4枚のボードの内の1枚を、並列動作時にNuBus 2 0との制御信号のやり取りを司るメインボードとして指定するためのメインボード指定部4 3と、ホストC P U 1 1からデータ読み出しの要求があった場合に、NuBus 2 0でバイト単位(即ち8本のデータバス毎)に分割したバイトトレーンのいずれに対してデータを読み出すかを指定するための読み出しバイトトレーン指定部4 4と、デュアルポートメモリ6 0またはNuBus 2 0上のデータをバイト単位で並び変える際に、その並び方を指定するデータ配置指定部4 5と、並び変えたデータより所望のデータを読み取るためのデータ幅指定部4 6とを備える。

【0 0 2 6】 データ配置手段5 0は、データ配置指定部4 5で指定された並び方に従って後記のデュアルポートメモリ6 0よりのデータまたはNuBus 2 0からのデータを並び変える。

【0 0 2 7】 デュアルポートメモリ6 0は、ホストC P U 1 1からのデータまたは後記のD S P 7 0からのデータを一時格納する。

【0 0 2 8】 D S P 7 0は、デュアルポートメモリ6 0に記憶された、ホストC P U 1 1からのデータを処理するための一一種のプロセッサであり、内部にはデータメモリ7 1およびプログラムメモリ7 2を備える。このD S Pとはデジタル・シグナル・プロセッサの略であり、音声や画像データを高速処理するために特別に設計されたものである。尚、図4に示したように、このD S P 7 0の代わりに一般的のC P Uを用いてもよい。

【0 0 2 9】 パラレルデータ経路7 3は、ホストC P U 1 1からD S P 7 0のデータメモリ7 1やプログラムメモリ7 2からデータおよびプログラムデータを読み書きするためのものであり、これを通じてホストC P U 1 1からD S P 7 0に対してプログラムがダウンロードされる。

【0 0 3 0】 尚、NuBusの規定ではホストC P U 1 1

が、装着されたボードの各種情報を知るために、図6の右図に示したような宣言R O Mがボード1 0 0上に必要であるが、本発明では特に不必要であるため記載していない。

【0 0 3 1】 以下、本発明の並列動作ボード1 0 0の実施例として、1画素がそれぞれ1バイト長の色要素(C, M, Y, K)からなる画像データを、4枚のボード1 0 0にて色要素別に並列処理する場合を例にとって説明する。図8にホストC P U 1 1および各並列動作ボード1 0 0のそれぞれのフローチャートに示している。尚、並列動作ボード1 0 0-1, 1 0 0-2, 1 0 0-3, 1 0 0-4は、スロットA H, B H, C H, D Hにそれぞれ装着した。

【0 0 3 2】 ステップS 1にてシステムの電源をオンにすると、各ボード1 0 0の初期設定が行われ、これにより各ボード1 0 0においてはステップS 2 1にて、並列動作I D有効指定部4 1が解除され、以下の動作でわかるように単独動作モードとなる。次のステップS 2 2ではホストC P U 1 1よりのデータ出力を待つ。

【0 0 3 3】 ホストC P U 1 1は、ステップS 2において、書き込みアドレスを“F A”にして、並列動作時の制御に必要な以下のデータ(これらを制御データという)を出力する。

- ・メインボードの指定：これは予め作成してあったホストC P U 1 1のプログラムで決められるものであり、本実施例ではスロットC Hに装着した並列動作ボード1 0 0-3をメインボードに指定するとする。

- ・並列動作I D番号の指定：ボード1 0 0-3をメインボードとしたならば、このボード1 0 0-3自身のスロットI D番号“F C”を並列動作I D番号として出力する(これは各ボード1 0 0の並列動作I D番号指定部4 2に取り込まれる)。

- ・読み出しバイトトレーンの指定：ホストC P U 1 1よりのデータ要求に呼応して、各ボード1 0 0からNuBusへデータ出力する際にいずれのバイトトレーンに出力するかを指定する(これは各ボード1 0 0の読み出しバイトトレーン指定部4 4に取り込まれる)。

- ・データ配置指定およびデータ幅指定：これについては後で詳しく述べる。

【0 0 3 4】 これが済めば、書き込みアドレスを以下、“F B”、“F C”、“F D”的順に切り替える毎に上記の制御データが送出される。

【0 0 3 5】 一方、各ボード1 0 0では、並列動作I D有効指定部4 1に対して並列動作が解除されているため、アドレス判別手段3 4は、スロットI D番号発生部2 1より得られるスロットI D番号(これは各ボード1 0 0のアドレス領域の上位2桁であり、ボード1 0 0-1, 1 0 0-2, 1 0 0-3, 1 0 0-4に対してはそれぞれ“F A”, “F B”, “F C”, “F D”であった)と、ホストC P U 1 1から出力された、制御データに対する書

き込みアドレスとが一致するかがステップS 2 3で判定されるが、書き込みアドレスが“F A”的時は、ボード1 0 0-1においてのみ、双方のアドレスが一致するためにステップS 2 3からステップS 2 6に進み、前記書き込みアドレス“F A”に伴って出力された前記の“メインボードの指定”の制御データがステップS 2 6にて取り込まれ、ステップS 2 2戻り、次のデータ出力を待つ。一方、他のボード1 0 0-2~1 0 0-4では、自身のスロットIDがそれぞれ“F B”, “F C”, “F D”であり、ホストCPU1 1よりの書き込みアドレス“F A”と一致しないためにステップS 2 3からステップS 2 2に戻るだけで、前記の“メインボードの指定”の制御データは、ボード1 0 0-2, 1 0 0-3, 1 0 0-4には取り込まれない。

【0036】ステップS 2にて、書き込みアドレスの上位2桁“F A”を伴って次々に出力される制御データは、同様に、ボード1 0 0-1にだけ取り込まれる。これでわかるように、ホストCPU1 1から出力される書き込みアドレスが“F A”的場合は、ボード1 0 0-1のみがアクセスされて、書き込みアドレスの上位2桁が“F B”に切り替わると、今度は、ボード1 0 0-2のみがアクセスされ。このようにホストCPU1 1よりの書き込みアドレスが“F A”, “F B”, “F C”, “F D”と順に切り替えることで、ボード1 0 0-1, 1 0 0-2, 1 0 0-3, 1 0 0-4が順にアクセスされ、アクセスされたボード1 0 0に対して各種制御データが取り込まれる。これですべてのボードに対して同じ制御データが設定されたことになる。この動作は、図1で述べた従来の単独動作と同じである。尚、現段階ではボード1 0 0はまだ単独動作モードにある。

【0037】次のステップS 3ではCPUからの書き込みアドレスを、“F A”, “F B”, “F C”, “F D”的順に切り替えながら“並列動作設定”的制御データを出力することで、それぞれのボード1 0 0-1, 1 0 0-2, 1 0 0-3, 1 0 0-4において、ステップS 2 3からステップS 2 4に進み、“並列動作設定”的制御データが取り込まれ、これにより、各ボード1 0 0の並列動作ID有効指定4 1に対して並列動作が設定される。これ以降は以下に述べるように並列動作モードとなる。

【0038】この後、ステップS 4でホストCPU1 1から、1画素分の画像データ(C11, M11, Y11, K11)が、NuBus2 0の4本のバスライン(例えば後で参照する図9に示したバスラインB 1, B 2, B 3, B 4)に対しパラレルに出力されるが、この場合の並列動作モードにおける書き込みアドレスは、前記の並列動作ID番号であった“F C”に固定される。

【0039】このようにしてステップS 4で処理データが出力されると、各ボード1 0 0においては、ステップS 2 2からステップS 2 3に進み、アドレス判定が行われる。この時点では、各ボード1 0 0の並列動作ID有

効指定部4 1に対して並列動作が設定されているので、各アドレス判別手段3 4においては、並列動作ID番号指定部4 2に設定されていた並列動作ID番号(F Cであった)と、ホストCPU1 1から出力された書き込みアドレスの上位2桁(これもF Cであった)とが一致しているため、すべてのボード1 0 0において、ステップS 2 3からステップS 2 7に進み、前記の1画素分の画像データ(C11, M11, Y11, K11)がボード内に導かれる。

【0040】このように、各ボード1 0 0に対して共通の並列動作ID番号“F C”を設定し、ホストCPU1 1から出力する書き込みアドレスを“F C”にすれば、ホストCPU1 1からの指令に対して全ボード1 0 0が同時に同じ動作、即ち並列動作を行うようになり、NuBus2 0には単一のボード1 0 0が装着されたことと等価になる。

【0041】さて、前記のステップS 2 7において、各ボード1 0 0に対して導かれた1画素分の画像データ(C11, M11, Y11, K11)は、データ配置指定部4 5、データ幅指定部4 6およびデータ配置手段5 0の制御により、色要素C11はボード1 0 0-1に、色要素M11, Y11, K11はそれぞれ、1 0 0-2, 1 0 0-3, 1 0 0-4に個々に取り込まれてデュアルポートメモリ6 0に取り込まれるが、その取り込み動作を図9を用いて説明する。

【0042】ホストCPU1 1側のデータメモリ1 2より読み出された第1行、第1列の画素に対する画像データ(C11, M11, Y11, K11)が、NuBus2 0のバスラインB 1, B 2, B 3, B 4に色要素毎にパラレルに出力され、その画像データ(C11, M11, Y11, K11)は、ホストCPU1 1により同時にアクセスされた全ボードに取り込まれる(8 1で示すように4バイト長である)。

【0043】その後、ボード1 0 0-1では1バイト長の色要素C11が、ボード1 0 0-2では色要素M11が、ボード1 0 0-3では色要素Y11が、ボード1 0 0-4では色要素K11がそれぞれ先頭に位置するように、データ配置指定部4 5の指示により、データ配置手段5 0において並び替えられる(8 2に示す)。次には、データ幅指定部4 6よりの指示により、デュアルポートメモリ6 0において、並び替えた4バイト構成のデータから先頭の1バイト長のデータが選択されて(8 3で示す)、再びデュアルポートメモリ6 0に書き込まれる。次には第1行、第2列の画素に対する画像データ(C12, M12, Y12, K12)が読み出され、同じような制御が繰替えされることでボード1 0 0-1には色要素Cのみ、ボード1 0 0-2, 1 0 0-3, 1 0 0-4にはそれぞれ色要素M, Y, Kのみがそれぞれのデュアルポートメモリ6 0に書き込まれる。

【0044】尚、データ配置手段5 0において、マルチプレクサ等により所望のデータを直接選択すれば、データ幅指定部4 6は不要となるが、これを設けた理由は、各ボード1 0 0に共通のデータ、例えば画像データ処理

に用いる係数等のデータの設定の場合には、データ幅を例えば4バイト長に指定すれば、4バイトのデータを一度に取り込むことが可能になるためである。

【0045】図8に戻り、各ボード100に画像データがすべて取り込まれると、ステップS27からステップS27からステップS28に進み、各ボード100内のDSP70によって画像データの拡大、縮小等の処理が各ボード100において並行して処理される。ボード100においてデータ処理が終了すれば、次に処理した画像データの読み出しに移行する。

【0046】各ボード100でデータ処理が終了すると、ステップS28からステップS29に進み、各ボード100からは処理済の画像データ(C, M, Y, K)が1画素づつ読み出されて例えば前記のバスラインB1, B2, B3, B4にそれぞれ出力されるが、その読み出し制御を図10を用いて説明する。

【0047】ボード100-1においては、デュアルポートメモリ60に格納された処理済データの読み出しの際に、読み出しアドレスを第1行、第1列の画素とし、かつ、データ幅指定部46により読み出しデータ幅を1バイトに指定することにより、色要素C11のみが読み出され、他のボード100-2, 100-3, 100-4においても同様な制御が行われることにより、それぞれ色要素M11, Y11, K11が読み出され(92で示す)、そして各々のデータ配置手段50にセットされる(93で示す)。次にボード100-1においては、データ配置指定部45により、前記色要素C11が先頭に来るよう並び替えが行われ、ボード100-2においては、色要素M11が先頭から2番目に来るよう並び替えられ、又、ボード100-3, 100-4においては、対応する色要素Y11, K11が先頭からそれぞれ3番目および4番目に位置するよう並び替えられる(94で示す)。

【0048】次に読み出バイトトレーン44により、それぞれ読み出しバイトトレーンを指定することにより、各色要素C11, M11, Y11, K11がNuBus20のデータバスB1, B2, B3, B4にそれぞれ読み出されることで、各ボード100で並び替えられていた各色要素C11, M11, Y11, K11が4バイト長の1群のデータ(95で示す)として読み出される。この読み出された画像データはホストCPU11にてステップS5で1画素分の画像データ(C11, M11, Y11, K11)づつ取り込まれる。次に読み出しアドレスを第1行、第2列の画素とすることにより、ボード100-2では色要素C12が読み出され、他のボード100-2, 100-3, 100-4においても同様に色要素M12, Y12, K12が読み出され、以下、同じ動作が繰り替わされる。

【0049】この読み出し時においても、例えばボード100-1からのみデータを読み出す単独動作モードであれば、読み出しアドレスを第1行、第1列とし、データ幅指定部46により4バイトを指定すれば、C11,

C12, C13, C14のデータを一度に読み出すことができる。

【0050】処理済画像データの読み出しがすべて終了すれば、図8のステップS30からステップS22に戻り、次にホストCPU11からのデータ出力を待つ。

【0051】上述したように、各ボード100を並列動作モードに移行するためには最初、各ボード100は単独動作モードにあることが必要である。そこで、ホストCPU11は、処理済み画像データをすべて取り込んだ後、ステップS6にて、書き込みアドレスを再び“FC”にして“並列動作解除”的制御データを出力する。この制御データは、現在も並列動作モードにあるすべてのボード100で取り込まれ、各ボードにおいて、ステップS22、ステップS23からステップS25に進み、その制御データが並列動作ID有効指定部41に取り込まれることにより、並列動作モードが解除され単独動作モードに戻される。

【0052】尚、上記実施例では拡張バスとしてNuBus20(装着スロット位置に対応して自動的に固有のアドレス領域が設定されるものであった)を採用したが、一般的な拡張バス(各ボードに設けられたディップスイッチの切り替えにより所望のアドレス領域を設定するものであった)に対しても本発明の並列動作ボードを装着することができる。その場合には、そのディップスイッチの切り替えにより、各ボードを図6のスロットAH, BH, CH, DHに対して割り当てられたアドレス範囲を設定すればよい。

【0053】又、上記実施例では、1画素が4色の要素からなる画像データを並列処理するために4枚のボードを用いたが、従来技術で述べたように1画素が3色要素(R, G, B)からなる画像データを並列処理するには本発明のボードを3枚用いれば良い。

【0054】

【発明の効果】以上説明したように、本発明は、ボードの一つをメインボードに指定し、そして残りのボードのアドレス領域を、メインボード固有のアドレス領域に一致させたので、ホストCPU側から見れば、拡張バスに唯一のボードが装着されたことと等価となり、従って各ボードは並行して動作する並列動作モードとなる。この並列動作モードであれば、ホストCPUより出力する処理対象のデータをすべてのボードに取り込ますことができ、よって、各ボードで並列処理することが可能となり、高速でデータ処理が行える。

【図面の簡単な説明】

【図1】従来のシステムで並列動作処理を行わせた時のボードの装着例を示した図

【図2】パイプライン処理におけるボードの接続関係を示した図

【図3】一つのボード内に複数のCPUを配したマルチプロセッサ構成を示した図

【図4】 本発明の並列動作ボードを装着したシステム
図

【図5】 拡張バスの一種であるNuBusのメモリマップ
図

【図6】 図5のメモリマップにおけるスロット空間の
詳細図

【図7】 本発明の並列動作ボードの1実施例を示した
内部構成図

【図8】 本発明の並列動作ボードを装着したシステム
の制御動作を示したフローチャート

【図9】 図8のステップS27における処理データの
取り込みを詳細に示した図

【図10】 図8のステップS29における処理済みデ
ータの出力を詳細に示した図

【符号の説明】

10 Mac

11 ホストCPU

12 データメモリ

20 NuBus

21 スロットID番号発生部

30 バスコントロール手段

31 読出制御手段

32 書込制御手段

34 アドレス判別手段

40 動作指定手段

41 並列動作ID有効指定部

42 並列動作ID番号指定部

43 メインボード指定部

44 読出しバイトトレーン指定部

45 データ配置指定部

46 データ幅指定部

50 データ配置手段

60 デュアルポートメモリ

70 DSP

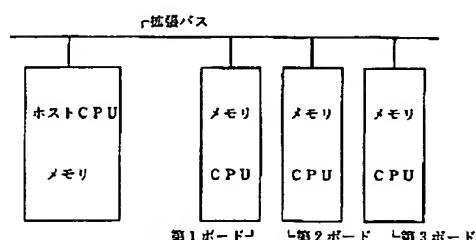
71 データメモリ

72 プログラムメモリ

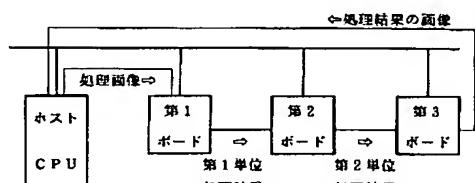
80 並列コントロールバス

100 並列動作ボード

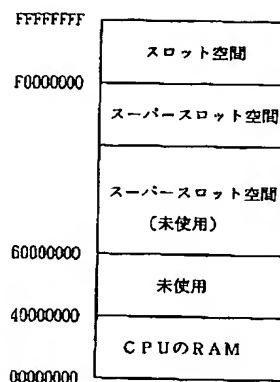
【図1】



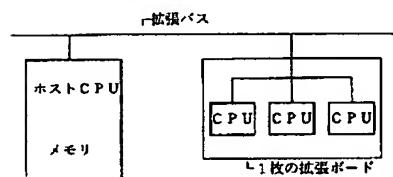
【図2】



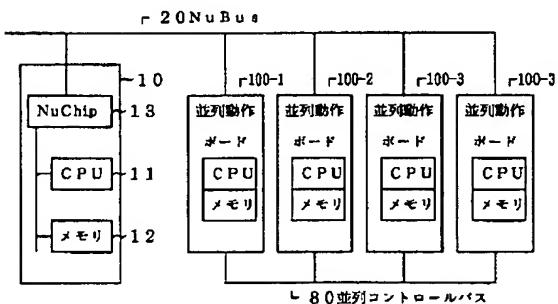
【図5】



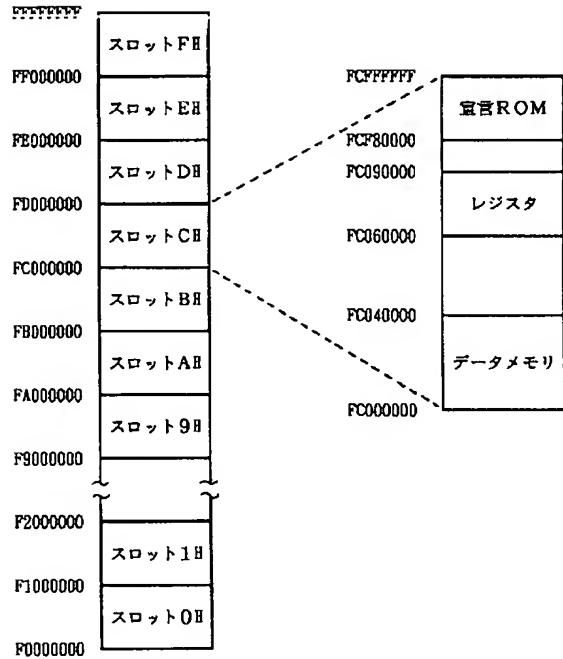
【図3】



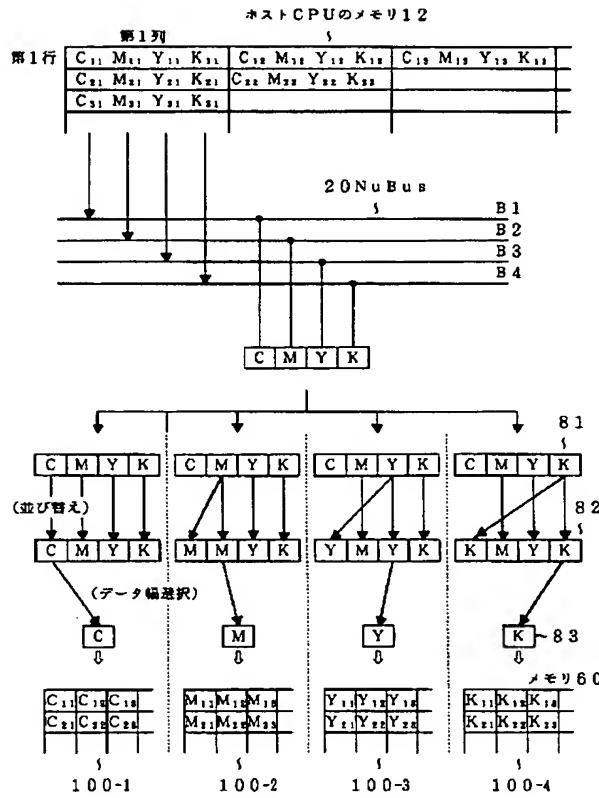
【図4】



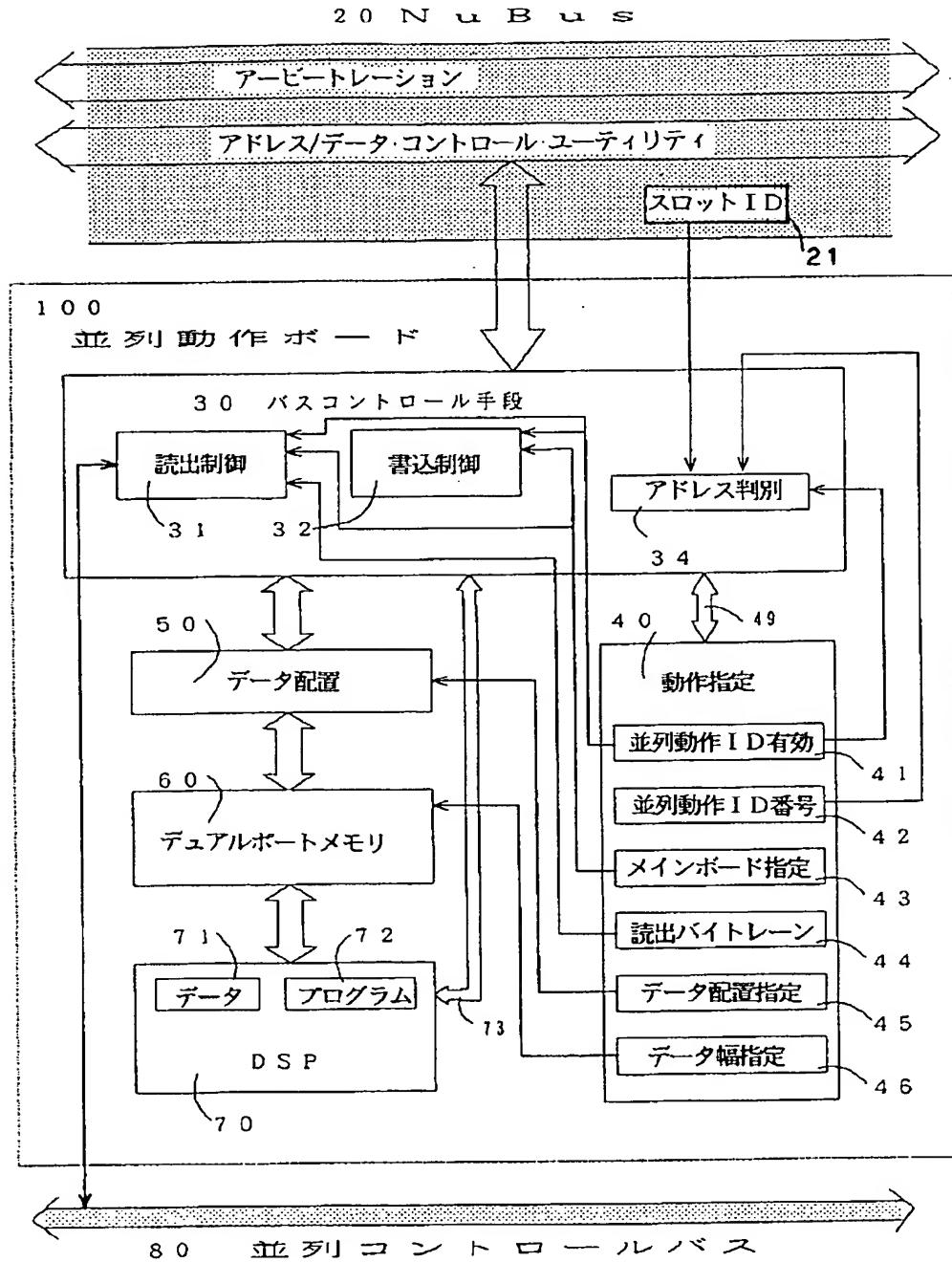
【図6】



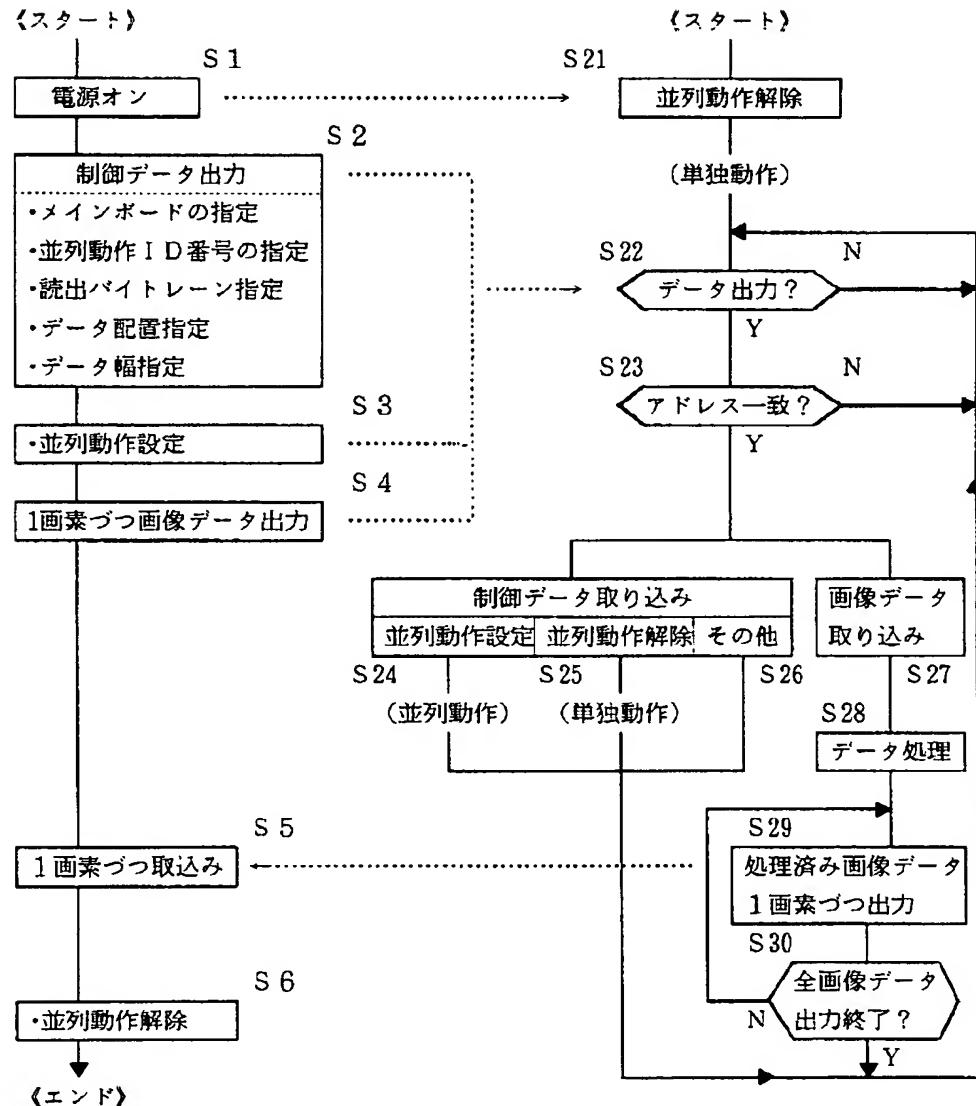
【図9】



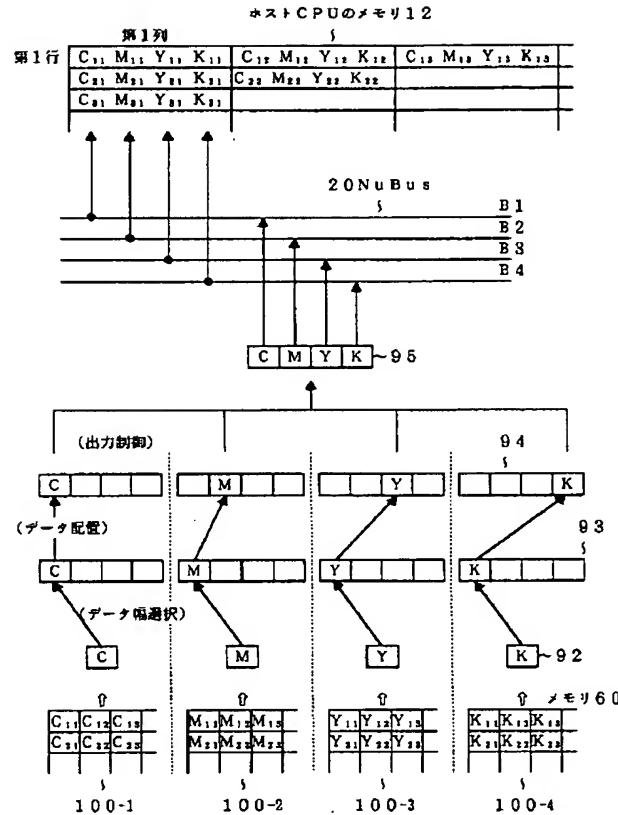
【図7】



【図8】



【図10】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-187304

(43)Date of publication of application : 08.07.1994

(51)Int.Cl. G06F 15/16
G06F 13/38
G06F 15/66

(21)Application number : 04-335824 (71)Applicant : TOYO INK MFG CO LTD
G T B:KK

(22)Date of filing : 16.12.1992 (72)Inventor : MATSUKI HIROSHI
SUGAWARA YUJI

(54) PARALLEL OPERATION BOARD

(57)Abstract:

PURPOSE: To put plural boards mounted on an extension bus in parallel operation.
CONSTITUTION: This board makes parallel operation possible with other boards mounted on the extension bus and is equipped with a main board specifying means 43 which specifies one of the boards as a main board put in charge of signal transfer with the bus address range varying means 41 and 42 which matches address ranges characteristic to all the boards except the main board with the address range of the main board and a data input/output means 30 which inputs and outputs data to and from the bus by the respective boards including the main board; while the address ranges of all the boards are matched with the address range of the main board a host CPU sends data out to the address range so that the data are inputted to all the boards at the same time.

CLAIMS

[Claim(s)]

[Claim 1] Other boards with which an expansion bus was equipped and a board which makes parallel operation possible characterized by comprising the following. A mainboard setting means (43) which makes one board a mainboard which makes an exchange of a signal with a bus bear out of all the boards.

An address range alteration means which coincides a peculiar address range in all the boards other than a mainboard with an address range of a mainboard (4142). A data input/output means (30) to manage input and output of data to a bus on each board containing a mainboard.

Where an address range of all the boards is coincided with an address range of a

mainboard from a host CPU by sending out data to this address range A data distributing means (454650) established out of data of one group simultaneously led to all boards in order to incorporate predetermined data for every board So that it may overlap with one bus and each data which could distribute on each board and was processed on this board may not be outputted A read-out byte lane setting means (44) which reads for every board and sets up a byte lane and a synchronizing means which synchronizes read-out between each board so that data [board / each] processed [said] can be read as data of one group (3180).

[Claim 2] The parallel operation board according to claim 1 which is the slot ID number assigned corresponding to a fixing point of the board concerned two or more arbitrary bits in a peculiar address range in each board.

[Claim 3] The parallel operation board according to claim 1 which is the slot ID number set up by a DIP switch formed in the board concerned two or more arbitrary bits in a peculiar address range in each board.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to other two or more boards with which especially the expansion bus was equipped and the board which made parallel operation possible about the board equipped with and used for the external expansion bus of computer paraphernalia.

[0002]

[Description of the Prior Art] In order to perform expansion the expansion bus for equipping with an add-in board is prepared for many computer systems. For example in Macintosh of an apple company it is an ISA Bus of NuBus and the PC/AT machine of IBM etc. The board with which these buses were equipped performs an exchange of CPU of a host computer and data through the board. A private bus is also in the mainboard equipped with CPU etc. in the personal computer etc. and an exchange of a signal and data is made between CPU and a memory and an input output section through here. In order to raise the throughput of this computer system it equips with those buses and equips with add-in boards of two or more sheets such as an operation board on an expansion bus and techniques such as distributed processing which distributes processing on each board may be used.

[0003] In desiring more nearly high-speed processing as are shown in drawing 1 and it equips an expansion bus with two or more boards and shows in the parallel processing and drawing 2 to which parallel operation of those boards is carried out. A series of processings are divided into two or more batches and in each board connected in columns shown in the pipeline processing it was made to make one batch process and also drawing 3 the processing made into the multiprocessor configuration which allotted two or more CPUs is in the same board.

[0004] Here the conventional parallel operation in case 1 pixel processes the image data which comprises an element (RGB) of three colors according to a color element on each three boards shown in drawing 1 is described. The address range on the 1st board the 2nd board and the add-in board of the 3rd board $A_x - A_{x-1}$. It is considered as $A_2x - A_3x-1$ and $A_3x - A_4x-1$ (the DIP switch in each board can perform setting out of this address range) and it is assumed that the image data which becomes a memory in a host CPU from the m line x_n sequence shown in the following table is stored.

[0005]

[Table 1]

the 1st row . the 2nd row . the 3rd row . --. The 1st row [n-th] line :

$R_{11}G_{11}B_{11}R_{12}G_{12}B_{12}R_{13}G_{13}B_{13} \dots R_{1n}G_{1n}B_{1n}$ 2nd line: $R_{21}G_{21}B_{21}R_{22}G_{22}B_{22}R_{23}G_{23}B_{23} \dots R_{2n}G_{2n}B_{2n}$ 3rd line: $R_{31}G_{31}B_{31}R_{32}G_{32}B_{32}R_{33}G_{33}B_{33} \dots R_{3n}G_{3n}B_{3n}$: The m-th line : $[R_m G_m B_m R_{m1} G_{m1} B_{m1} R_{m2} G_{m2} B_{m2} R_{m3} G_{m3} B_{m3}] \dots R_{mn} G_{mn} B_{mn}$ [0006] Step 1 : All the R elements ($R_{11}, R_{12}, \dots, R_{mn}$) are read from the memory in a host CPU After writing in the memory in the 1st board via selected address $A_x - A_{x-1}$ and completing the writing desired image processing (zooming) is made to start in CPU in the 1st board with the directions from a host CPU.

Step 2: Choose address $A_2x - A_3x-1$, write all G elements in the memory in the 2nd board via this address and make desired image processing start in CPU in the 2nd board similarly.

Step 3: Choose address $A_3x - A_4x-1$, write all B elements in the memory in the 3rd board via this address and make desired image processing start in CPU in the 3rd board similarly.

Step 4: A host CPU supervises the end of processing on the 1st board and writes R element processed when processing was completed in the same memory or another memory in a host CPU via the address.

Step 5: If the writing to the memory of processed R element in Step 4 is completed CPU will supervise the end of processing on the 2nd board and will write B element processed when processing was completed in the memory in a host CPU via the address.

Step 6: If the writing to the memory of processed G element in Step 5 is completed CPU will supervise the end of processing on the 3rd board and will write G element processed when processing was completed in the memory in a host CPU via the address.

[0007]

[Problem(s) to be Solved by the Invention] In the above-mentioned parallel processing in order to have to output and input the data of host CPU ** for every board and to have to supervise the end of data processing on each board the burden of a host CPU is heavy and since there is waiting time the processing speed of the whole system falls.

[0008] On the other hand when the batch taken charge of on each board is uniform processing time in pipeline processing one line is efficiently processed for every processing time of one batch but. When the processing time of each batch is

uneven pipeline processing must be performed according to the greatest processing timeidle time arises in operation on a board to the batch in which processing time is shorter than itand the processing efficiency in the whole system falls. Such pipeline processing is effective when performing a series of various processings to one data like the inside of LSI of CPUbut it is not suitable for data processing with many simple repetitions like image processing which this invention makes the processing object. The reason originates in the local bus for transmitting the data which dividing a series of processings into unit processing processed on the difficult thing and the board to a latter board being needed.

[0009]In processing by a multiprocessor configurationSince the same data can be simultaneously passed to two or more CPUsthe necessity for an address change is lost like [in the case of drawing 1]Although data setting can carry out in a short timewhen a host CPU incorporates the processing result in each CPUit must carry out individually like the case of drawing 1and data extraction takes time. This method is unapplicable ability at the thing which specifies ID for discernment specially to two or more CPUs in a board therefore by which specification was beforehand become final and conclusive like a standard bus. This invention is made in order to solve the technical problem mentioned aboveand it is a thing.

It is providing the parallel operation board which attained high speed processing by making it the parallel operation purpose.

[0010]

[Means for Solving the Problem]A parallel operation board of this invention is provided with the following.

A mainboard setting means (43) which are a board of others with which an expansion bus was equippedand a board which makes parallel operation possibleand makes one board a mainboard which makes an exchange of a signal with a bus bear out of all the boards.

An address range alteration means which coincides a peculiar address range in all the boards other than a mainboard with an address range of a mainboard (4142).

A data input/output means (30) to manage input and output of data to a bus on each board containing a mainboardWhere an address range of all the boards is coincided with an address range of a mainboardfrom a host CPUby sending out data to this address rangeA data distributing means (454650) established out of data of one group simultaneously led to all boards in order to incorporate predetermined data for every boardSo that it may overlap with one bus and each data which could distribute on each board and was processed on this board may not be outputtedA read-out byte lane setting means (44) which reads for every board and sets up a byte laneand a synchronizing means which synchronizes read-out between each board so that data [board / each] processed [said] can be read as data of one group (3180).

[0011]

[Function]In this inventionby an initial stateeach board has a peculiar address

area respectively therefore each board is in the single operation mode in which it operates individually. If it is at the time of this single operation mode the various control data which are needed at the time of parallel operation can be set up from a host CPU to each board by outputting various data choosing each aforementioned peculiar address. Namely at the time of single operation mode by a mainboard setting means specify one of the boards as a mainboard and by an address range alteration means. If the address area of the remaining boards is coincided with an address area peculiar to a mainboard and it will be seen from the host CPU side it will become equivalent to the expansion bus having been equipped with the single board and will become the parallel operation mode of this invention.

[0012] At the time of this parallel operation mode 1-pixel image data is incorporated into all the boards by carrying out the writing address of the data (for example image data) of the processing object outputted from a host CPU in an address area peculiar to a mainboard. Then in each board the control action of a data distributing means can perform data processing of zooming for a different color element for every board in parallel by extracting a specific color element out of incorporated 1 pixel.

[0013] The color element which constitutes stroke matter can read to a data bus simultaneously by reading the color element which was individually performed on each board and which has been processed [each] to a predetermined data bus by a byte lane setting means and taking a synchronization between each board by a synchronizing means in the case of the read-out. By the way since the confusion of control arises if each board outputted the data ready signal and the data acknowledgement signal individually on the occasion of read-out of the processed data in the data read and each board from a host CPU A so-called mainboard is provided and this mainboard is made to bear these control in the gross in this invention.

[0014] Two or more arbitrary bits (in the following examples they may be figures double [top]) in the peculiar address range in each board become the slot ID number assigned corresponding to the fixing point of the board concerned when the expansion bus was NuBus used by this invention and if an add-in board is general. The figures of the peculiar address range in each board double [top] are the slot ID number set up by the DIP switch formed in the board concerned.

[0015] Here although the address area of the mainboard was made into the address area peculiar to this mainboard address area where the peculiar address area which a mainboard and each other board have is another may newly be set up at the time of parallel operation mode. (200) Since the confusion of control arises in addition if each board outputted the data ready signal and the data acknowledgement signal individually on the occasion of read-out of the processed data in the data read and each board from a host CPU A so-called mainboard is provided and this mainboard is made to bear these control in the gross in this invention.

[0016]

[Example] Drawing 4 is the whole system chart showing one example of this

invention. In this example Macintosh II Ifx (below referred to as "Mac") of the apple company was adopted as a computer system. In this Mac 10 it has in the system NuBus and Macintosh II NuBus (this is called NuBus20 below) which changed IEEE 1196 NuBus into Macintosh as an expansion bus. This NuBus20 is Multiplex Buss (the both sides of an address and data are transmitted by the same bus line) who operates with a 10-MHz clock. The NuBus20 is equipped with the four parallel operation boards 100 (100-1100-2100-3100-4) concerning this invention and parallel operation is made to perform. Each of these parallel operation boards 100 have CPU and data memory in an inside and this data memory is dual port memory whose reading and writing are possible also from CPU of the parallel operation board 100 concerned also from CPU 11 (it is called a host CPU below) in Mac 10. [0017] Mac 10 inside is equipped with NuChip 13 as an interface for combining the data memory 12 and Mac 10 and NuBus20. Interconnection of each parallel operation board 100 is carried out by the parallel control bus 80 besides NuBus20 and it is used in order to take the synchronization at the time of carrying out parallel operation of each parallel operation board 100. The intact bus line in NuBus20 may be used for a parallel control bus.

[0018] Drawing 5 shows the memory map of NuBus20. In this NuBus20 all the resources in which an address is possible exist in single 4G (G) byte's (the address 00000000 - FFFFFFFF) space. 4 G bytes of the address space is divided into 16 of a 256-M byte field respectively the field (the address F0000000 thru/or FFFFFFFF) of the divided top is called slot space and the details are shown in the left figure of drawing 6. This slot space is divided into 16 M bytes each of 16 of the slot 0H thru/or the slot FH (it is shown that H of an end is the hexadecimal notation). The address of a corresponding slot is assigned based on the board position with which NuBus20 was equipped (this address assignment is called geographic addressing).

[0019] The right figure of drawing 6 shows the memory map in the board with which the slot CH was equipped.

There are a register and a data memory area in addition to a ROM area.

[0020] Drawing 7 is a functional constitution figure of the parallel operation board 100 of this invention. As illustrated there is a signal line for exclusive use for each signal group of an Arbitration an address/data control a utility and a slot ID in NuBus20. Although an Arbitration is a signal source for an own board to use each resources on NuBus20 as a master it is not used with this board.

[0021] The birth control means 30 follows NuBus specification connects each signal group of the address/data on NuBus20 control and a utility and each resources of a parallel operation board and controls an exchange of data.

[0022] In this birth control means 30 the address discriminating means 34 When parallel operation is not specified to the parallel operation ID effective specification part 41 in the after-mentioned operation specifying means 40 (It becomes the usual single operation) the slot ID number (if it is the board with which the slot CH was equipped -- "FC".) of the self obtained from the slot ID

number generating part 21 which shows the fixing point of the board concerned. top 1 byte [in / in this / the address range of the board concerned] (figures double [top]) -- becomingwhen it incorporates and the parallel operation of this invention is set up to the parallel operation ID effective specification part 41 on the other handThe parallel operation ID number sent out from the host CPU 11 to the parallel operation ID number specification part 42 in the operation specifying means 40 (set up at the time of parallel operation.).

detailed -- after -- stating -- it being busy and with this slot ID number or a parallel operation ID number. When the figures (this is only hereafter called a writing address) of a writing address when access is performed from the host CPU 11 to the arbitrary space of NuBus20 double [top] are in agreementit is judged as access to an own board.

This address discriminating means 34 makes the same control also to the reading address outputted from the host CPU 11 to the board.

[0023]Although next explanation of operation describes in detailthe board 100 whose own slot ID number corresponded functions on the writing address (the same may be said of the case of a read-out address) from the host CPU 11 as single operationandas for the board 100 whose parallel operation ID number correspondedthe parallel operation of this invention is made. Since the board 100 a slot ID number and whose parallel operation ID number do not correspond is not access to an own boardthe board does not function on the writing address from the host CPU 11 at all.

[0024]The read-out control means 31 and the write control means 32 bear each controlwhen there are data read and a write request from the host CPU 11 to a board.

[0025]The operation specifying means 40 specifies operation and the function of the board 100 concerned from the host CPU 11.

The parallel operation ID effective specification part 41 which specifies the above-mentioned parallel operationand the parallel operation ID number specification part 42 which outputs a parallel operation ID numberThe mainboard specification part 43 for specifying one of four boards as a mainboard which manages the exchange of a control signal with NuBus20 at the time of parallel operationThe read-out byte lane specification part 44 for specifying to any of the byte lane divided per byte (every [namely] eight data buses) when there is a demand of data read from the host CPU 11data is read by NuBus20When standing in a line per byte and changing the data on dual port memory 60 or NuBus20it has the data width specification part 46 for reading desired data from the data changed along with the data arrangement designation part 45 which specifies the way of being located in a line.

[0026]The data arrangement means 50 locates for it in a line and changes the data from the after-mentioned dual port memory 60or the data from NuBus20 according to the way of being located in a line depending on which it was specified in the data arrangement designation part 45.

[0027]The dual port memory 60 carries out the temporary storage of the data from the host CPU 11 or the data from the after-mentioned DSP70.

[0028]DSP70 is a kind of processor for processing the data from the host CPU 11 memorized by the dual port memory 60.

An inside is equipped with the data memory 71 and the program memory 72. This DSP is the abbreviation for a digital signal processor and in order to carry out high speed processing of a sound or the image data it is designed specially. As shown in drawing 4 general CPU may be used instead of this DSP70.

[0029]The parallel-data course 73 is for writing the data memory 71 and the program memory 72 of DSP70 to data and program data from the host CPU 11.

A program downloads from the host CPU 11 to DSP70 through this.

[0030]By regulation of NuBusin order that the host CPU 11 may know the variety of information of the board with which it was equipped declaration ROM as shown in the right figure of drawing 6 is required on the board 100 but by this invention in particulars since it is unnecessary it has not indicated.

[0031]Hereafter the four boards 100 explain the image data which 1 pixel becomes from the color element (CMYK) of 1-byte length respectively according to a color element as an example of the parallel operation board 100 of this invention taking the case of the case where parallel processing is carried out. It is shown in drawing 8 at each flow chart of the host CPU 11 and each parallel operation board 100. The slots AHB and CH and DH were equipped with parallel operation board 100-1100-2100-3100-4 respectively.

[0032]If the power supply of a system is made one at Step S1 initial setting of each board 100 will be performed and the parallel operation ID effective specification part 41 will be canceled at Step S21 in each board 100 by this and it will become single operation mode so that it may understand in the following operations. It waits for the data output from the host CPU 11 at the following step S22.

[0033]In Step S2 the host CPU 11 sets a writing address to "FA" and outputs the data (these are called control data) of the following required for the control at the time of parallel operation.

- Specification of a mainboard : this is decided by the program of the host CPU 11 currently created beforehand and presupposes that the parallel operation board 100-3 with which the slot CH was equipped is specified as a mainboard in this example.

- Specification of a parallel operation ID number : if the board 100-3 is made into a mainboard the slot ID number "FC" of this 100 to board 3 self will be outputted as a parallel operation ID number (this is incorporated into the parallel operation ID number specification part 42 of each board 100).

- Specification of a read-out byte lane : in response to the data request from the host CPU 11 when carrying out data output from each board 100 to NuBus specify whether it outputs to which byte lane (this is incorporated into the read-out byte lane specification part 44 of each board 100).

– Data arrangement designation and data width specification : describe this in detail later.

[0034]If this ends whenever it changes a writing address in order of "FB"FCand "FD" hereafter the above-mentioned control data will be sent out.

[0035]Since parallel operation is canceled to the parallel operation ID effective specification part 41 on the other hand with each board 100 the address discriminating means 34The slot ID number acquired from the slot ID number generating part 21 (this is the figures of the address area of each board 100 double [top] and) as opposed to board 100-1100-2100-3100-4 -- respectively -- "FA"FBFCand "FD" -- it was although it is judged at Step S23 whether the writing address to control data outputted from the host CPU 11 is in agreement Only in the board 100-1 when a writing address is "FA" Since both addresses are in agreement it progresses to Step S26 from Step S23 and the control data of the aforementioned "specification of a mainboard" outputted in connection with said writing address "FA" is incorporated at Step S26 and it returns step S22 and waits for the next data output. On the other hand with other boards 100-2 to 100-4. Only by returning from Step S23 to Step S22 since own slot IDs are "FB"FCand "FD" respectively and are not in agreement with the writing address "FA" from the host CPU 11 The control data of the aforementioned "specification of a mainboard" is not incorporated into board 100-2100-3100-4.

[0036]The control data outputted one after another with the figures "FA" of a writing address double [top] at Step S2 is similarly incorporated only into the board 100-1. If only the board 100-1 is accessed and the figures of a writing address double [top] change to "FB" when the writing address outputted from the host CPU 11 is "FA" so that it may understand now only the board 100-2 will be accessed shortly. Thus board 100-1100-2100-3100-4 is accessed in order and various control data are incorporated to the accessed board 100 because the writing address from the host CPU 11 changes to "FA"FBFCFD and order. It means that the same control data was set up now to all the boards. This operation is the same as the conventional single operation described by drawing 1. At a present stage the board 100 is still in single operation mode.

[0037]With outputting the control data of "parallel operation setting out" at the following step S3 changing the writing address from CPU in order of "FA"FBFCand "FD." In each board 100-1100-2100-3100-4 it progresses to Step S24 from Step S23 the control data of "parallel operation setting out" is incorporated and thereby parallel operation is set up to the parallel operation ID effective specification 41 of each board 100. After this it becomes parallel operation mode so that it may state below.

[0038]Then by step S4 the image data for 1 pixel ($C_{11}, M_{11}, Y_{11}, K_{11}$) from the host CPU 11 Although parallel outputted to four bus lines (for example the bus line B1 shown in drawing 9 referred to later B-2B3B4) of NuBus 20 the writing address in the parallel operation mode in this case is fixed to "FC" which was the aforementioned parallel operation ID number.

[0039]Thus if processed data are outputted by step S4 in each board 100 it will

progress to Step S23 from Step S22and an address judging will be performed. In [since parallel operation is set up to the parallel operation ID effective specification part 41 of each board 100 at this time] each address discriminating means 34Since the parallel operation ID number (it was FC) set as the parallel operation ID number specification part 42 and the figures (this was also FC) of the writing address outputted from the host CPU 11 double [top] are in agreementIn all the boards 100it progresses to Step S27 from Step S23and the image data for aforementioned 1 pixel ($C_{11}, M_{11}, Y_{11}, K_{11}$) is drawn in a board.

[0040]Thusif the writing address which sets up a common parallel operation ID number "FC" to each board 100and is outputted from the host CPU 11 is set to "FC"All the boards 100 come to perform the same operationi.e.parallel operationsimultaneously to the instructions from the host CPU 11and it becomes equivalent to NuBus20 having been equipped with the single board 100.

[0041]Nowthe image data for 1 pixel drawn to each board 100 in the aforementioned step S27 ($C_{11}, M_{11}, Y_{11}, K_{11}$)By control of the data arrangement designation part 45the data width specification part 46and the data arrangement means 50. Although color element C_{11} is incorporated into color element M_{11} and Y_{11}, K_{11} is incorporated into the board 100-1 by separately at 100-2100-3100-4respectively and it is incorporated into the dual port memory 60the incorporation operation is explained using drawing 9.

[0042]The image data ($C_{11}, M_{11}, Y_{11}, K_{11}$) to the pixel of the 1st line and the 1st row read from the data memory 12 by the side of the host CPU 11It is parallel outputted to the bus line B1 of NuBus20B-2B3and B4 for every color elementThe image data ($C_{11}, M_{11}, Y_{11}, K_{11}$) is incorporated into all the boards simultaneously accessed by the host CPU 11 (as shown in 81it is 4-byte length).

[0043]Thenwith the board 100-1 color element C_{11} of 1-byte lengththe board 100-2 -- in color element Y_{11} on the board 100-4color element M_{11} with the board 100-3 so that color element K_{11} may be located in a headrespectivelyBy directions of the data arrangement designation part 45it is rearranged in the data arrangement means 50 (shown in 82). Nextby directions [specification part / 46 / data width]in the dual port memory 60the data of top 1-byte length is chosen from the data of the rearranged 4-byte composition (83 shows)and it is again written in the dual port memory 60. Nextthe image data ($C_{12}, M_{12}, Y_{12}, K_{12}$) to the pixel of the 1st line and the 2nd row is readOn the board 100-1it is color-element C Accepted by the same control changing and being carried outand the color element MYand K is written in board 100-2100-3100-4 at each dual port memory 60respectively.

[0044]In the data arrangement means 50if desired data is directly chosen by a multiplexer etc.will become unnecessary [the data width specification part 46]but. The reason for having provided this is because it becomes possible in setting out of data common to each board 100for examplethe data of a coefficient etc. used for image data processingto incorporate 4 bytes of data at once if data width is specified for exampleas 4-byte length.

[0045]If it returns to drawing 8 and all image data is incorporated into each board 100from Step S27it will progress to Step S28 from Step S27and processing of

expansion of image data reduction etc. will be processed in parallel in each board 100 by DSP70 in each board 100. If data processing is completed in the board 100 it will shift to read-out of the image data processed next.

[0046] After data processing is completed on each board 100 progress to Step S29 from Step S28 and 1 pixel of processed image data (CMYK) is read at a time from each board 100 for example are outputted to the aforementioned bus line B1B–2B3 and B4 respectively but. The reading control is explained using drawing 10.

[0047] In the board 100–1 in the case of read-out of the processed data stored in the dual port memory 60. By making a reading address into the pixel of the 1st line and the 1st row and specifying read data width as 1 byte with the data width specification part 46 By reading only color element C_{11} and performing same control also in other board 100–2100–3100–4 Color element M_{11} , Y_{11} and K_{11} are read respectively (92 shows) and it is set to each data arrangement means 50 (93 shows). Next in [in the board 100–1 rearrangement is performed so that said color element C_{11} may come to a head by the data arrangement designation part 45 and] the board 100–2 It is rearranged so that color element Y_{11} and K_{11} which are rearranged so that color element M_{11} may come from a head to the 2nd and correspond in board 100–3100–4 may be located in the 3rd and the 4th from a head respectively (94 shows).

[0048] Next by specifying a read-out byte lane by the read-out byte lane 44 respectively By each color element C_{11} , M_{11} , Y_{11} and K_{11} being read to the data bus B1 of NuBus 20B–2B3 and B4 respectively. Each color element C_{11} currently rearranged on each board 100 M_{11} , Y_{11} and K_{11} are read as data (95 shows) of one group of 4-byte length. As for this read image data it is incorporated for 1 pixel image data (C_{11} , M_{11} , Y_{11} , K_{11}) every at Step S5 by the host CPU 11. Next with the board 100–2 color element C_{12} is read by making a reading address into the pixel of the 1st line and the 2nd row In other board 100–2100–3100–4 color element M_{12} , Y_{12} and K_{12} are read similarly and hereafter the same operation changes and is carried out.

[0049] If it is in single operation mode which reads data only for example from the board 100–1 at the time of this read-out If a reading address is made into the 1st line and the 1st row and 4 bytes is specified with the data width specification part 46 the data of C_{11} , C_{12} , C_{13} and C_{14} can be read at once.

[0050] If all read-out of processed image data is completed it will return from Step S30 of drawing 8 to Step S22 and then will wait for the data output from the host CPU 11.

[0051] As mentioned above in order to shift each board 100 to parallel operation mode each board 100 needs to be in single operation mode at first. Then after the host CPU 11 incorporates all processed image data at Step S6 it sets a writing address to "FC" again and outputs the control data of "parallel operation release." In [this control data is incorporated on all the boards 100 which are in parallel operation mode still now and] each board By progressing to Step S25 from Step S22 and Step S23 and incorporating the control data into the parallel operation ID effective specification part 41 parallel operation mode is canceled and it is returned

to single operation mode.

[0052]Although NuBus20 (a peculiar address area is automatically set up corresponding to a wearing slot position) was adopted as an expansion bus in the above-mentioned example it can equip with the parallel operation board of this invention also to a general expansion bus (a desired address area is set up by the change of the DIP switch formed in each board). In that case what is necessary is just to set up the address range to which each board was assigned by the change of the DIP switch to the slots AHB and CH and DH of drawing 6.

[0053]What is necessary is to have used four boards in the above-mentioned example in order that 1 pixel might carry out parallel processing of the image data which consists of an element of four colors but just to use three boards of this invention for 1 pixel to carry out parallel processing of the image data which consists of three color elements (RGB) as conventional technology described.

[0054]

[Effect of the Invention]As explained above in this invention one of the boards was specified as the mainboard and the address area of the remaining boards was coincided with the address area peculiar to a mainboard.

Therefore if it sees from the host CPU side it will become equivalent to the expansion bus having been equipped with the only board therefore each board will serve as the parallel operation mode in which it operates in parallel.

taking the data of the processing object outputted from a host CPU on all the boards if it is in this parallel operation mode -- ***** -- things are made therefore it becomes possible to carry out parallel processing on each board and data processing can be performed at high speed.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1]The figure showing the example of wearing of the board at the time of making the conventional system perform parallel operation processing

[Drawing 2]The figure showing the connecting relation of the board in pipeline processing

[Drawing 3]The figure showing the multiprocessor configuration which allotted two or more CPUs in one board

[Drawing 4]The system chart equipped with the parallel operation board of this invention

[Drawing 5]The memory map figure of NuBus which is a kind of an expansion bus

[Drawing 6]The detail view of the slot space in the memory map of drawing 5

[Drawing 7]The internal configuration figure showing one example of the parallel operation board of this invention

[Drawing 8]The flow chart which showed the control action of the system equipped with the parallel operation board of this invention

[Drawing 9]The figure showing incorporation of the processed data in Step S27 of

drawing 8 in detail

[Drawing 10]The figure showing the output of the processed data in Step S29 of
drawing 8 in detail

[Description of Notations]

10 Mac

11 Host CPU

12 Data memory

20 NuBus

21 Slot ID number generating part

30 Birth control means

31 Read-out control means

32 Write control means

34 Address discriminating means

40 Operation specifying means

41 Parallel operation ID effective specification part

42 Parallel operation ID number specification part

43 Mainboard specification part

44 Read-out byte lane specification part

45 Data arrangement designation part

46 Data width specification part

50 Data arrangement means

60 Dual port memory

70 DSP

71 Data memory

72 Program memory

80 Parallel control bus

100 Parallel operation board
